

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

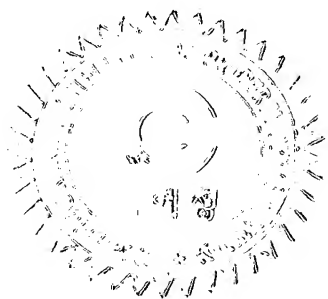
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0076955
Application Number

출원년월일 : 2002년 12월 05일
Date of Application DEC 05, 2002

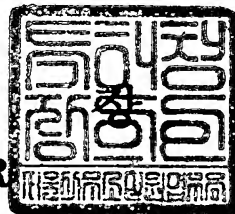
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 06 18
 년 월 일

특 허 청

COMMISSIONER



**【서지사항】**

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.12.05
【발명의 명칭】	미프로그램된 셀들 및 과프로그램된 셀들 없이 균일한 문턱 전압 분포를 갖는 플래쉬 메모리 장치 및 그 프로그램 검증 방법
【발명의 영문명칭】	Flash memory device having uniform threshold voltage distribution without under-programed or over-programed flash cells and program verify method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	이성수
【성명의 영문표기】	LEE, SUNG SOO
【주민등록번호】	641125-1051410
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 황골마을 풍림아파트 232-105
【국적】	KR
【발명자】	
【성명의 국문표기】	이경한
【성명의 영문표기】	LEE, KYEONG HAN
【주민등록번호】	710503-1670212

【우편번호】 449-900
【주소】 경기도 용인시 기흥읍 농서리 7-1
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 임창현 (인) 대리인
 권혁수 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 8 면 8,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 9 항 397,000 원
【합계】 434,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

미프로그램된 셀들 및 과프로그램된 셀들 없이 균일한 문턱 전압 분포를 갖는 플래쉬 메모리 장치 및 그 프로그램 검증 방법이 개시된다. 본 발명의 플래쉬 메모리 장치는 복수개의 플래쉬 메모리 셀들이 배열되는 메모리 셀 어레이 블록과, 플래쉬 메모리 셀들의 프로그램 여부를 확인하기 위한 프로그램 검증 전압을 가변적으로 발생시키는 프로그램 검증 전압 발생부와, 플래쉬 메모리 셀들의 제어 게이트와 연결되는 워드라인으로 프로그램 검증 전압을 전달하는 워드라인 레벨 선택부와, 그리고 플래쉬 메모리 셀의 데이터를 저장하는 래치를 포함하여 프로그램 검증 전압이 낮아질 때마다 래치를 리셋시키는 페이지 버퍼를 구비한다. 따라서, 본 발명에 의하면, 소정 프로그램 사이클 횟수 동안 프로그램 검증 전압을 동일하게 하여 프로그래밍 검증을 수행하고 프로그램 검증 전압이 낮아지는 프로그램 단위 루프에서 페이지 버퍼의 제1 래치를 리셋시키기 때문에, 미프로그램된 셀들 및 과프로그램된 셀들 없이 플래쉬 메모리 셀들의 문턱 전압 분포가 균일하게 나타난다.

【대표도】

도 4

【색인어】

프로그램 검증 전압, 미프로그램된(under program) 셀, 과프로그램된(over programed) 셀, 문턱 전압(threshold voltage) 분포, 페이지 버퍼

【명세서】**【발명의 명칭】**

미프로그램된 셀들 및 과프로그램된 셀들 없이 균일한 문턱 전압 분포를 갖는 플래쉬 메모리 장치 및 그 프로그램 검증 방법{Flash memory device having uniform threshold voltage distribution without under-programed or over-programed flash cells and program verify method thereof}

【도면의 간단한 설명】

도 1은 종래의 플래쉬 메모리 장치의 일부분을 나타내는 도면이다.

도 2는 도 1의 플래쉬 메모리 장치의 프로그램 검증 타이밍 다이어그램을 나타내는 도면이다.

도 3은 도 2의 프로그램 검증 방법에 의한 플래쉬 메모리 셀들의 문턱 전압(V_t) 분포를 나타내는 도면이다.

도 4는 본 발명의 일실시예에 따른 플래쉬 메모리 장치를 나타내는 도면이다.

도 5는 본 발명의 프로그램 검증 전압을 적용하는 일예의 프로그램 검증 타이밍 다이어그램을 나타내는 도면이다.

도 6은 본 발명의 일실시예에 따른 도 4의 페이지 버퍼를 나타내는 도면이다.

도 7은 도 5의 프로그램 검증 방법에 따른 플래쉬 메모리 셀들의 문턱 전압(V_t) 분포를 나타내는 도면이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 미프로그램된 셀들 및 과프로그램된 셀들 없이 균일한 문턱 전압 분포를 갖는 플래쉬 메모리 장치 및 그 프로그램 검증 방법에 관한 것이다.
- <9> 불휘발성 메모리 장치들 중 플래쉬 메모리 장치는 온-보드(on board) 상에서 기입과 소거 동작이 가능한 고밀도의 정보 저장 장치이다. 플래쉬 메모리 셀은 선택 게이트, 플로팅 게이트, 소스 및 드레인을 포함하는 하나의 FET(Field Effect Transistor)로 구성된다. 정보는 플래쉬 메모리 셀의 문턱 전압(threshold voltage) V_t 변화에 의해 발생되는 플로팅 게이트 상의 차아지량 변동으로 플래쉬 메모리 셀에 저장된다. 플래쉬 메모리 셀 데이터는 선택 게이트와 연결되는 워드라인에 선택 전압을 인가함으로써 독출된다. 선택 전압이 인가되어 플래쉬 메모리 셀이 도통됨에 따라 흐르는 전류량은 플래쉬 메모리 셀의 문턱 전압 V_t 에 의해 결정된다.
- <10> 플래쉬 메모리 셀은 일반적으로 2가지 상태, 즉 "프로그램된"과 "삭제된" 상태를 가진다. 플래쉬 메모리 셀이 프로그램되면, 잉여 전자들이 플로팅 게이트 상에 트랩되고(trapped) 문턱 전압 V_t 이 올라가서 선택된 플래쉬 메모리 셀은 적은 드레인-소스 전류가 흐른다. 플래쉬 메모리 셀이 프로그램된 상태를 로직 "0"이라고 일컫는다. 플래쉬 메모리 셀이 삭제되면 플로팅 게이트 상에 잉여 전자들이 적거나 없어 플래쉬 메모리 셀은

많은 소스-드레인 전류가 흐른다. 플래쉬 메모리 셀이 삭제된 상태를 로직 "1"이라고 일컫는다.

<11> 도 1은 종래의 플래쉬 메모리 장치의 일부분을 나타내는 도면이다. 이를 참조하면, 플래쉬 메모리 장치(100)는 메모리 셀 어레이 블록(110), 로우 디코더(120), 워드라인 레벨 선택부들(130), 드라이버부(140), 그리고 페이지 버퍼(150)를 포함한다. 메모리 셀 어레이 블록(110)은 플래쉬 메모리 셀들이 직렬 연결된 i 개의 스트링(string)들(200, 202, 204, 206)을 포함한다. 제1 스트링(200)은 제1 내지 제16 워드라인(WL $_j$, $j=0, 1, \dots, 15$)에 그 게이트들이 연결되는 플래쉬 메모리 셀들(112, 113, 114)이 직렬 연결되고, 제1 워드라인(WL $_0$)에 연결된 플래쉬 메모리 셀(112)의 드레인은 스트링 선택 라인(SSL)에 그 게이트가 연결되는 제1 선택 트랜지스터(111)와 연결되고, 제16 워드라인(WL $_{15}$)에 연결된 플래쉬 메모리 셀(114)의 소스는 접지 선택 라인(GSL)에 그 게이트가 연결되는 제2 선택 트랜지스터(115)와 연결된다. 제1 선택 트랜지스터(112)의 드레인은 제1 비트라인(BL $_0$)과 연결되고 제2 트랜지스터(115)의 소스는 공통 소스 라인(CSL)에 연결된다.

<12> i 개의 스트링들(200, 202, 204, 206)은 스트링 선택 라인(SSL), 제1 내지 제16 워드라인(WL $_j$, $j=0, 1, \dots, 15$), 그리고 접지 선택 라인(GSL)과 연결되고, 각각의 스트링들(200, 202, 204, 206)은 비트라인들(BL $_0$, BL $_1$, \dots , BL $_{i-1}$, BL $_i$)을 통해 페이지 버퍼(150)와 연결되는 데, 하나의 페이지 단위를 구성한다. 도 1은 설명의 편의를 위하여 메모리 셀 어레이 블록(110) 내 하나의 페이지를 도시하고 있으나, 실제적으로 메모리 셀 어레이 블록(110)은 복수개의 페이지 단위들을 포함한

다. 페이지 단위들은 로우 디코더(120)에 의해 어드레싱되며, 로우 디코더(120)의 어드레싱 신호에 응답하여 드라이버부(140) 내 트랜지스터들이 턴온되어 하나의 페이지 단위가 선택된다.

<13> 워드라인 레벨 선택부들(130)은 프로그래밍 전압(VPGM), 독출 전압(VREAD), 프로그램 검증 전압(VRDV), 도통 전압(VPASS)들 중 해당 모드에 따라 하나의 전압을 선택하여 드라이버부(140)로 전달한다. 프로그래밍 전압(VPGM)은 선택된 플래쉬 메모리 셀들의 프로그래밍 동작시, 독출 전압(VREAD)은 독출 동작시, 그리고 프로그램 검증 전압(VRDV)은 프로그램 여부를 검증할 때 각각 인가되고, 도통 전압(VPASS)은 비선택된 플래쉬 메모리 셀들을 도통시켜 셀 전류를 흐르게 하기 위해 인가된다. 드라이버부(140)는 로우 디코더(120)의 어드레싱 신호에 응답하여 선택된 하나의 페이지 단위 내 워드라인들(WL_j, j=0, 1, ..., 15)로 해당 모드 전압을 인가한다. 페이지 버퍼(150)는 비트라인들(BL₀, BL₁, ..., BL_{i-1}, BL_i)을 통해 흐르는 셀 전류를 감지하여 선택된 플래쉬 메모리 셀들의 데이터를 판명한다.

<14> 이러한 플래쉬 메모리 장치(100)는 플래쉬 메모리 셀들로의 프로그래밍 동작을 수행한 다음, 프로그램 여부를 확인하는 프로그램 검증 동작을 수행하는 하나의 사이클(다른 말로 "프로그램 단위 루프")을 반복하여 수행한다. 프로그램 검증 독출 동작을 수행하여 플래쉬 메모리 셀이 프로그램된 것으로 판명되면 프로그래밍 동작을 종료하고, 그렇지 않다면 다시 한번 프로그래밍 동작을 수행하고 프로그램 검증 독출 동작을 수행하는 동작을 반복한다. 예컨대, 하나의 워드라인(WL)에 연결되는 플래쉬 메모리 셀들이 4K 개 정도라고 가정하면 이들을 프로그래밍하고 프로그

램 검증하는 데 소정의 사이클들이 소요된다. 몇번의 사이클을 반복하여 하나의 워드라인(WL)에 연결된 플래쉬 메모리 셀들이 프로그램 완료되었다고 판명되면 다른 워드라인(WL)을 프로그래밍하고 프로그램 검증하는 동작을 반복 수행한다.

<15> 그런데, 선택된 하나의 워드라인(WL)에 대하여 프로그래밍 동작과 프로그램 검증 동작을 반복하게 되면, 아직 프로그래밍되지 않은 플래쉬 메모리 셀들이 프로그램되었다고 판명되어 프로그래밍 동작을 종료하는 문제점이 발생된다. 왜냐하면, 도 2에 도시된 바와 같이, 하나의 프로그램 단위 루프를 반복 수행하는 동안 프로그래밍 전압(VPGM)은 증가되고 프로그램 검증 독출 전압(VRDV)은 일정하게 인가되는 데, 처음 몇번의 프로그램 단위 루프 동안 프로그래밍되지 않은 플래쉬 메모리 셀들로 인해 셀 전류가 커지게 되어 공통 소스 라인(CSL) 레벨이 올라가게 된다. 여기에서, 이후에 수행되는 프로그램 단위 루프 동안 일정한 프로그램 검증 전압(VRDV)이 인가되면 공통 소스 라인(CSL)의 레벨 상승으로 인해 셀 전류가 감소하게 된다. 이에 따라, 실제적으로 프로그래밍되지 않은 플래쉬 메모리 셀들이 프로그램되었다고 오판하게 되는 것이다.

<16> 도 3은 도 2의 프로그램 검증 방법에 의한 플래쉬 메모리 셀들의 문턱 전압(V_t) 분포를 나타내는 도면이다. 이를 참조하면, 모든 플래쉬 메모리 셀들로의 삭제 동작이 수행된 초기 상태시 플래쉬 메모리 셀들의 문턱 전압(V_t)은 음(negative) 전압 레벨을 갖는다. 이 후, 순차적으로 프로그램 단위 루프를 수행하여 마지막 루프에서 높은 프로그래밍 전압(VPGM)에 의해 플래쉬 메모리 셀들이 프로그램됨에 따라 문턱 전압(V_t)이 높게 그리고 불균일하게 산포된다. 높은 문턱

전압(V_t)을 갖는 플래쉬 메모리 셀들의 불균일한 산포는 삭제 동작시 페이지 단위의 플래쉬 메모리 셀들이 완전히 삭제되지 않는(over program) 문제점을 발생시킨다. 그리고 프로그램 검증 전압(VRDV) 근처의 낮은 문턱 전압(V_t)을 갖는 플래쉬 메모리 셀들은 프로그램 여부가 불확실하여 프로그램되지 않는(under program) 상태로 남는 문제점이 발생된다.

<17> 따라서, 미프로그램된 셀들 및 과프로그램된 셀들 없이 균일한 문턱 전압 분포를 갖는 플래쉬 메모리 장치 및 프로그램 검증 방법이 요구된다.

【발명이 이루고자 하는 기술적 과제】

<18> 본 발명의 목적은 미프로그램된 셀들 및 과프로그램된 셀들 없이 균일한 문턱 전압 분포를 갖는 플래쉬 메모리 장치를 제공하는 데 있다.

<19> 본 발명의 다른 목적은 상기 플래쉬 메모리 장치의 프로그램 검증 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<20> 상기 목적을 달성하기 위하여, 본 발명의 플래쉬 메모리 장치는 복수개의 플래쉬 메모리 셀들이 배열되는 메모리 셀 어레이 블록과, 플래쉬 메모리 셀들의 프로그램 여부를 확인하기 위한 프로그램 검증 전압을 가변적으로 발생시키는 프로그램 검증 전압 발생부와, 플래쉬 메모리 셀들의 제어 게이트와 연결되는 워드라인으로 프로그램 검증 전압을 전달하는 워드라인 레벨 선택부와, 그리고 플래쉬 메모리 셀의 데이터를 저장하는 래치를 포함하여 프로그램 검증 전압이 낮아질 때마다 래치를 리셋시키는 페이지 버퍼를 구비한다.

<21> 바람직하기로, 프로그램 검증 전압 발생부는 전원 전압과 접지 전압 사이에 직렬 연결되는 피모스 트랜지스터와 제1 내지 제3 저항들과, 제1 저항 양단에 연결되며 제1 프로그램 검증 제어 신호에 응답하여 제1 저항을 단락시키고 피모스 트랜지스터의 드레인, 제1 저항 및 그 드레인의 연결점으로 프로그램 검증 전압을 발생하는 제1 엔모스 트랜지스터와, 제2 저항 양단에 연결되고 제2 프로그램 검증 제어 신호에 응답하여 제2 저항을 단락시키는 제2 엔모스 트랜지스터와, 제1 저항과 제2 저항 사이의 노드 전압과 기준 전압을 비교하고 그 출력이 피모스 트랜지스터의 게이트에 연결되는 비교기를 포함한다. 제1 및 제2 프로그램 검증 제어 신호는 프로그램 검증 전압 레벨을 변화시키기 위하여 선택적으로 활성화된다. 워드라인 레벨 선택부는 동작 모드에 따라 플레쉬 메모리 셀들의 워드라인으로 프로그래밍 전압, 독출 전압, 도통 전압 또는 삭제 전압을 인가한다.

<22> 그리고, 페이지 버퍼는 플레쉬 메모리 셀의 비트라인과 센싱 노드 사이에 연결되고 제1 비트라인 제어 신호에 게이팅되는 제1 엔모스 트랜지스터와, 제1 엔모스 트랜지스터와 연결되고 프리차아지 신호에 응답하여 센싱 노드를 소정의 전압 레벨로 프리차아지시키는 제1 피모스 트랜지스터와, 센싱 노드와 연결되고 제2 비트라인 제어 신호에 게이팅되는 제2 엔모스 트랜지스터와, 제2 엔모스 트랜지스터와 연결되고 센싱 노드의 전압 레벨을 래치하는 래치와, 래치와 연결되고 센싱 노드의 전압 레벨에 게이팅되는 제3 엔모스 트랜지스터와, 제3 엔모스 트랜지스터와 접지 전압 사이에 연결되고 제1 래치 제어 신호에 응답하여 플레쉬 메모리 셀 데이터를 래치에 저장시키는 제4 엔모스 트랜지스터와, 센싱 노드와 접지 전압 사이에 연결되고 비트라인 리셋 신호에 응답하여 센싱 노드를 리셋시키는 제5 엔모스 트랜지스터와, 데이터 로딩 인에이블 신호에 응답하여 플레쉬

메모리 장치의 프로그래밍 동작시 입력되는 데이터를 전달하는 제6 엔모스 트랜지스터와, 입력 데이터를 저장하는 제2 래치와, 제2 래치와 연결되고 센싱 노드의 전압 레벨에 게이팅되는 제7 엔모스 트랜지스터와, 제7 엔모스 트랜지스터와 접지 전압 사이에 연결되고 제2 래치 제어 신호에 응답하여 제2 래치로 입력 데이터를 래치시키는 제8 엔모스 트랜지스터와, 제1 래치와 제4 엔모스 트랜지스터 사이에 연결되고 입력 데이터에 게이팅되는 제9 엔모스 트랜지스터를 포함한다.

<23> 상기 다른 목적을 달성하기 위하여, 본 발명은 적어도 하나 이상의 플래쉬 메모리 셀들을 포함하고 플래쉬 메모리 셀들의 프로그램 여부를 검증하는 방법에 있어서, 소정의 프로그래밍 전압을 상기 플래쉬 메모리 셀들로 인가하는 제1 단계와, 프로그램 검증 제어 신호들에 선택적으로 응답하여 프로그램 검증 전압을 발생하는 제2 단계와, 프로그램 검증 전압에 응답하여 플래쉬 메모리 셀들의 프로그램 여부를 확인하는 제3 단계를 포함하고, 제1 내지 제3 단계로 구성되는 프로그램 단위 루프 사이클을 플래쉬 메모리 셀들이 프로그램 완료될 때까지 반복적으로 수행하되, 소정 횟수의 프로그램 단위 루프 사이클 동안 프로그램 검증 전압을 동일하게 하고, 프로그램 검증 전압 레벨이 낮아지는 프로그램 단위 루프 사이클마다 플래쉬 메모리 셀 데이터를 저장하는 페이지 버퍼 내 래치를 리셋시킨다. 플래쉬 메모리 장치의 검증 방법은 초기에 프로그램 검증 전압으로 플래쉬 메모리 셀들의 문턱 전압 보다 높은 전압을 인가하고, 프로그램 단위 루프 마다 프로그래밍 전압을 증가시킨다.

<24> 따라서, 본 발명에 의하면, 소정 프로그램 사이클 횟수 동안 프로그램 검증 전압을 동일하게 하여 프로그래밍 검증을 수행하고 프로그램 검증 전압이 낮아지는 프로그램

단위 루프에서 페이지 버퍼의 제1 래치를 리셋시키기 때문에, 미프로그램된 셀들 및 과 프로그램된 셀들 없이 플래쉬 메모리 셀들의 문턱 전압 분포가 균일하게 나타난다.

<25> 이하, 본 발명은 도 4 내지 도 7을 참조하여 구체적으로 설명된다.

<26> 도 4는 본 발명의 일실시예에 따른 플래쉬 메모리 장치를 나타내는 도면이다. 이를 참조하면, 플래쉬 메모리 장치(400)는 메모리 셀 어레이 블록(110), 로우 디코더(120), 워드라인 레벨 선택부(130), 프로그램 검증 전압 발생부(410), 그리고 페이지 버퍼(420)를 더 구비한다는 점에서만 차이가 있다. 메모리 셀 어레이 블록(110), 로우 디코더(120) 및 워드라인 레벨 선택부(130)는 도 1의 플래쉬 메모리 장치의 구성 요소와 동일하다.

<27> 프로그램 검증 전압 발생부(410)는 전원 전압(VCC)과 접지 전압(VSS) 사이에 직렬 연결된 피모스 트랜지스터(413)와 제1 내지 제3 저항들(414, 415, 416)을 포함하고 제1 저항(414) 양단에 연결된 제1 엔모스 트랜지스터(417)와 제2 저항(415) 양단에 연결된 제2 엔모스 트랜지스터(418)를 포함한다. 피모스 트랜지스터(412)는 기준 전압(VREF)과 제1 내지 제3 저항 사이의 NA 노드 전압을 비교하는 비교기(412)의 출력에 게이팅된다. 제1 엔모스 트랜지스터(417)는 제1 프로그램 검증 제어 신호(PGM_VFEN1)에 게이팅되어 제1 저항(414)을 단락시키고, 제2 엔모스 트랜지스터(418)는 제2 프로그램 검증 제어 신호(PGM_VFEN2)에 게이팅되어 제2 저항(415)을 단락시킨다.

<28> 프로그램 검증 전압 발생부(410)는 제1 프로그램 검증 제어 신호(PGM_VFEN1) 또는 제2 프로그램 검증 제어 신호(PGM_VFEN2)의 활성화 여부에 따라 제1 저항(414) 또는 제2 저항(415)이 선택적으로 단락되어 프로그램 검증 전압(VRDV) 레벨이 높게 또는 낮게 발생된다. 제1 및 제2 프로그램 검증 제어 신호(PGM_VFEN1, PGM_VFEN2)가 비활성화되면 프

로그래밍 검증 전압(VRDV)은 높게 발생되고 제1 및 제2 프로그램 검증 제어 신호(PGM_VFEN1, PGM_VFEN2)가 활성화되면 프로그램 검증 전압(VRDV)은 낮게 발생된다. 또한, 프로그램 검증 전압(VRDV)은 제1 프로그램 검증 제어 신호(PGM_VFEN1)와 제2 프로그램 검증 제어 신호(PGM_VFEN2)가 선택적으로 활성화되면 다양한 전압 레벨로 발생된다.

<29> 도 5는 도 4의 프로그램 검증 전압 발생부(410)에 의해 발생된 프로그램 검증 전압(VRDV)을 적용하는 제1 예의 프로그램 검증 방법을 나타내는 도면이다. 첫번째 프로그램 단위 루프에서 제1 프로그래밍 전압(VPGM1)으로 프로그래밍 동작 후에 제1 프로그램 검증 전압(VRDV1)에 의한 프로그램 검증 동작을 수행한다. 제1 프로그램 검증 전압(VRDV1)은 플래쉬 메모리 셀들의 문턱 전압 이상의 전압 레벨을 갖는다. 두번째 프로그램 단위 루프에서 제2 프로그래밍 전압(VPGM2)으로 프로그래밍 동작 후에 이전의 제1 프로그램 검증 전압(VRDV1)과 같은 전압 레벨로 프로그램 검증 동작을 수행한다. 세번째 프로그램 단위 루프에서 제3 프로그래밍 전압(VPGM3)으로 프로그래밍 동작 후에 이전의 제1 프로그램 검증 전압(VRDV1)과 같은 전압 레벨로 프로그램 검증 동작을 수행한다. 네번째 프로그램 단위 루프에서는 제4 프로그래밍 전압(VPGM4)으로 프로그래밍 동작 후에 이전의 제1 프로그램 검증 전압(VRDV1)보다 낮은 제2 프로그램 검증 전압(VRDV2)으로 프로그램 검증 동작을 수행한다. 다섯번째 프로그램 단위 루프와 여섯번째 프로그램 단위 루프 각각은 제5 프로그래밍 전압(VPGM5)과 제6 프로그래밍 전압(VPGM6)으로 프로그래밍 동작 후에 제2 프로그램 검증 전압(VRDV2) 레벨로 프로그램 검증 동작을 수행한다. 이처럼, 프로그램 단위 루프 사이클 마다 프로그래밍 전압을 증가시키면서 프로그래밍 동작을 수행하고, 프로그램 검증 전압은 3번의 프로그램 단위 루프 사이클 마다 낮추어가면서 프

로그래밍 검증 동작을 수행한다. 이 때, 프로그램 검증 전압이 낮추어지는 세번째와 일곱 번째 프로그램 단위 루프 사이클마다 페이지 버퍼의 제1 래치를 리셋시킨다.

<30> 도 6은 도 4의 페이지 버퍼(420)를 나타내는 도면이다. 이를 참조하면, 페이지 버퍼(420)는 간략하게 도 4의 제1 워드라인(WL0)과 제1 및 제2 비트라인(BL0, BL1)에 각각 연결되는 플래쉬 메모리 셀들(112, 212)과 연결된다. 설명의 편의를 위하여 제1 플래쉬 메모리 셀(112)과 연결되는 제1 페이지 버퍼(610)에 대하여 기술한다. 제1 페이지 버퍼(610)는 비트라인(BL0)과 센싱 노드(NS) 사이에 연결되고 제1 비트라인 선택 신호(BSL)에 게이팅되는 제1 엔모스 트랜지스터(M1), 비트라인(BL0)을 전원 전압(VDD) 레벨로 프리차아지시키는 제1 피모스 트랜지스터(M2), 센싱 노드(NS)에 연결되고 제2 비트라인 선택 신호(SBL)에 게이팅되는 제2 엔모스 트랜지스터(M3), 제1 래치(LATCH1), 제2 래치(LATCH2), 제1 래치(LATCH1)와 연결되고 센싱 노드(NS) 전압과 입력 데이터(DATA_j)에 게이팅되는 전송 게이트(T3), 전송 게이트(T3)와 접지 전압(GND) 사이에 연결되고 제1 래치 제어 신호(LCH1)에 게이팅되는 제3 엔모스 트랜지스터(M4), 센싱 노드(NS)와 접지 전압(GND) 사이에 연결되고 비트라인 리셋 신호(SOG)에 게이팅되는 제4 엔모스 트랜지스터(M5), 제2 래치(LATCH2)와 연결되고 데이터 로딩 인에이블 신호(DIN)에 게이팅되는 제5 엔모스 트랜지스터(M6), 제2 래치(LATCH2)와 연결되고 센싱 노드(NS)의 전압 레벨에 게이팅되는 제6 엔모스 트랜지스터(M7), 제6 엔모스 트랜지스터(M7)와 접지 전압(GND) 사이에 연결되고 제2 래치 제어 신호(LCH2)에 게이팅되는 제7 엔모스 트랜지스터(M8), 그리고 제2 래치(LATCH2)와 접지 전압(GND) 사이에 연결되고 리셋 신호(RST)에 게이팅되는 제8 엔모스 트랜지스터(M9)를 포함한다.

<31> 제1 페이지 버퍼(610)는 다음과 같이 동작된다. 제1 래치(LATCH1)는 제1 플래쉬 메모리 셀(112)로의 프로그래밍 동작과 프로그램 검증 동작을 수행한다. 제1 플래쉬 메모리 셀(112)로 프로그래밍 동작을 위해, 프리차이지 신호(PRE)는 로직 하이레벨로 인가되어 제1 피모스 트랜지스터(M2)는 턴오프되고, 노드 Qj는 0V가 인가되고, 제1 및 제2 비트라인 제어 신호(BSL, SBL)는 로직 하이레벨이 되어 제1 및 제2 엔모스 트랜지스터(M1, M2)가 턴온되어서 노드 Qj의 전압 레벨이 비트라인(BL0)으로 전달된다. 제2 래치(LATCH2)는 데이터 로딩 인에이블 신호(DIN)에 응답하여 외부 데이터(DATAj)를 래치하여 제1 플래쉬 메모리 셀(112)로 프로그램 완료될 때까지 외부 데이터(DATAj)를 유지한다. 이 때, 제2 플래쉬 메모리 셀(212)의 프로그램 금지를 위해 노드 Qk로는 전원 전압(VDD) 레벨이 인가된다.

<32> 프로그램 검증 동작을 수행하는 경우, 제2 비트라인 제어 신호(SBL)가 하이레벨일 때 센싱 리셋 신호(SOG)의 하이레벨에 응답하여 노드 Qj 및 노드 Qk를 0V로 리셋시킨다. 이 후, 프리차이지 신호(PRE)의 로우레벨에 응답하여 비트라인들(BL0, BL1)을 전원 전압(VDD) 레벨로 프리차이지시킨다. 제1 래치 제어 신호(LCH1)가 하이레벨이 되면 제1 플래쉬 메모리 셀(112)의 데이터가 노드 Qj에 저장된다. 제1 플래쉬 메모리 셀(112)이 프로그램 완료되었다고 판단되면 노드 Qj의 전압 레벨은 전원 전압 레벨로 유지되어 이후의 프로그래밍 사이클에서 프로그래밍 동작이 금지된다. 제1 플래쉬 메모리 셀(112)이 프로그램되지 않았다고 판단되면 노드 Qj의 전압 레벨은 접지 전압 레벨이 되어 이후의 프로그래밍 사이클에서 프로그래밍 동작이 수행된다. 한편, 제2 플래쉬 메모리 셀(212)의 프로그램 금지를 위해 노드 Qk에 인가된 전원 전압(VDD)이 제2 래치(LATCH2)에 저장

되어 있기 때문에, 제1 래치 제어 신호(LCH1)가 하이레벨이 되더라도 노드 Qk는 전원 전압(VDD) 레벨을 유지하므로 다음 프로그래밍 사이클에서 프로그래밍 동작이 금지된다.

<33> 이와 같은 프로그래밍 동작과 프로그래밍 검증 동작을 반복하여 제1 래치(LATCH1)의 노드 Qj 및 노드 Qk의 전압 레벨이 전원 전압(VDD) 레벨이 되면 프로그래밍 동작을 완료한다.

<34> 여기에서, 도 5의 프로그래밍 단위 루프 마다의 프로그래밍 전압과 프로그래밍 검증 전압을 도 6의 페이지 버퍼(420) 동작과 결합하여 설명하면, 프로그램 검증 전압이 낮아지는 프로그래밍 단위 루프 마다 페이지 버퍼(420) 내 비트라인 리셋 신호(SOG)가 하이레벨로 활성화된다. 이는 플래쉬 메모리 셀들의 문턱 전압 분포도에 나타나는 과 프로그램(over-programed)되는 셀들을 제거하기 위함이다. 그리고 프로그램 검증 전압을 플래쉬 메모리 셀들의 문턱 전압 이상으로 인가하여 프로그램 검증 동작을 수행하기 때문에, 미 프로그램(under-programmed)되는 셀들을 제거할 수 있다.

<35> 도 7은 본 발명의 프로그램 검증 방법에 의한 플래쉬 메모리 셀들의 분포를 나타내는 도면이다. 이를 참조하면, 초기 상태일 때 플래쉬 메모리 셀들의 문턱 전압(V_t)은 음(negative) 전압 레벨을 갖는다. 이 후 프로그램 검증 전압(VRDV)을 변화시켜 가면서 프로그램 단위 루프를 반복하여, (n-1)번째 프로그램 단위 루프에서 제2 프로그램 검증 전압(VRDV2) 근처의 문턱 전압(V_t)을 갖는 플래쉬 메모리 셀들은 프로그램 여부가 불확실하다. n번째 프로그램 단위 루프에서 제1 프로그램 검증 전압(VRDV1) 보다 낮은 문턱 전압(V_t)을 갖는 즉, 이전의 (n-1)번째 프로그램 단위 루프에서 프로그램 여부가 불확실했던 플래쉬 메모리 셀들이 프로그램되지 않았다고 판명되어 다시 프로그래밍 동작을 수행한다. 그리하여 마지막 프로그램 단위 루프에서 플래쉬 메모리 셀들의 문턱 전압(V_t)

은 균일하게 산포되어 미프로그램된(under program) 플래쉬 메모리 셀들과
과프로그램된(over program) 플래쉬 메모리 셀들이 제거된다.

<36> 따라서, 본 발명의 프로그램 검증 방법에 의하면, 미프로그램된 셀들과 과프로그램된 셀들을 방지할 수 있다.

<37> 이상에서, 본 발명은 실시예들을 들어 기술하였지만 이는 예시적인 것에 불과하며 본 발명의 기술적 사상 및 범위를 제한하거나 한정하는 것은 아니다. 본 발명의 프로그램 검증 방법에서는 3번씩 동일한 전압 레벨로 프로그램 검증 동작을 수행한 후 프로그램 검증 전압 레벨을 낮추어 프로그램 검증 동작을 수행하는 예에 대하여 기술된다. 이와는 달리 2, 4, 5번씩 동일한 프로그램 검증 전압으로 프로그램 검증 동작을 수행할 수 있음은 물론이다. 그리고 프로그램 검증 전압 레벨이 낮아지는 프로그램 단위 루프마다 페이지 버퍼 내 제1 래치를 리셋시킨다. 그러므로, 본 발명의 기술적 사상 및 범위를 벗어나지 않는 한도 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<38> 상술한 본 발명에 의하면, 소정 프로그램 사이클 횟수 동안 프로그램 검증 전압을 동일하게 하여 프로그래밍 검증을 수행하고 프로그램 검증 전압이 낮아지는 프로그램 단위 루프에서 페이지 버퍼의 제1 래치를 리셋시키기 때문에, 미프로그램된 셀들 및 과프로그램된 셀들 없이 플래쉬 메모리 셀들의 문턱 전압 분포가 균일하게 나타난다.

【특허청구범위】**【청구항 1】**

복수개의 플래쉬 메모리 셀들이 배열되는 메모리 셀 어레이 블록;

상기 플래쉬 메모리 셀들의 프로그램 여부를 확인하기 위한 프로그램 검증 전압을 가변적으로 발생시키는 프로그램 검증 전압 발생부;

상기 플래쉬 메모리 셀들의 제어 게이트와 연결되는 워드라인으로 상기 프로그램 검증 전압을 전달하는 워드라인 레벨 선택부; 및

상기 플래쉬 메모리 셀의 데이터를 저장하는 래치를 포함하여 상기 프로그램 검증 전압이 낮아질 때마다 상기 래치를 리셋시키는 페이지 버퍼를 구비하는 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 2】

제1항에 있어서, 상기 프로그램 검증 전압 발생부는

전원 전압과 접지 전압 사이에 직렬 연결되는 피모스 트랜지스터와 제1 내지 제3 저항들;

상기 제1 저항 양단에 연결되며 제1 프로그램 검증 제어 신호에 응답하여 상기 제1 저항을 단락시키고 상기 피모스 트랜지스터의 드레인, 상기 제1 저항 및 그 드레인의 연결점으로 프로그램 검증 전압을 발생하는 제1 엔모스 트랜지스터;

상기 제2 저항 양단에 연결되고, 제2 프로그램 검증 제어 신호에 응답하여 상기 제2 저항을 단락시키는 제2 엔모스 트랜지스터; 및

상기 제1 저항과 상기 제2 저항 사이의 노드 전압과 기준 전압을 비교하고 그 출력이 상기 피모스 트랜지스터의 게이트에 연결되는 비교기를 구비하는 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 3】

제2항에 있어서, 상기 제1 및 제2 프로그램 검증 제어 신호는
상기 프로그램 검증 전압 레벨을 변화시키기 위하여 선택적으로 활성화되는 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 4】

제1항에 있어서, 상기 워드라인 레벨 선택부는
동작 모드에 따라 상기 플래쉬 메모리 셀들의 워드라인으로 프로그래밍 전압, 독출 전압, 도통 전압 또는 삭제 전압을 인가하는 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 5】

제1항에 있어서, 상기 페이지 버퍼는
상기 플래쉬 메모리 셀의 비트라인과 연결되고 제1 비트라인 제어 신호에 게이팅되는 제1 엔모스 트랜지스터;
상기 제1 엔모스 트랜지스터와 연결되고 프리차아지 신호에 응답하여 센싱 노드를 소정의 전압 레벨로 프리차아지시키는 제1 피모스 트랜지스터;
상기 센싱 노드와 연결되고 제2 비트라인 제어 신호에 게이팅되는 제2 엔모스 트랜지스터;

상기 제2 엔모스 트랜지스터와 연결되고 상기 센싱 노드의 전압 레벨을 래치하는
상기 래치;

상기 래치와 연결되고 상기 센싱 노드의 전압 레벨에 게이팅되는 제3 엔모스 트랜
지스터;

상기 제3 엔모스 트랜지스터와 접지 전압 사이에 연결되고 제1 래치 제어 신호에
응답하여 상기 플래쉬 메모리 셀 데이터를 상기 래치에 저장시키는 제4 엔모스 트랜지스
터; 및

상기 센싱 노드와 접지 전압 사이에 연결되고 비트라인 리셋 신호에 응답하여 상기
센싱 노드를 리셋시키는 제5 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 플래쉬
메모리 장치.

【청구항 6】

제5항에 있어서, 상기 페이지 버퍼는

데이터 로딩 인에이블 신호에 응답하여 상기 플래쉬 메모리 장치의 프로그래밍 동
작시 입력되는 데이터를 전달하는 제6 엔모스 트랜지스터;

상기 입력 데이터를 저장하는 제2 래치;

상기 제2 래치와 연결되고 상기 센싱 노드의 전압 레벨에 게이팅되는 제7 엔모스
트랜지스터;

상기 제7 엔모스 트랜지스터와 접지 전압 사이에 연결되고 제2 래치 제어 신호에
응답하여 상기 제2 래치로 상기 입력 데이터를 래치시키는 제8 엔모스 트랜지스터; 및

상기 제1 래치와 상기 제4 엔모스 트랜지스터 사이에 연결되고 상기 입력 데이터에 게이팅되는 제9 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 7】

적어도 하나 이상의 플래쉬 메모리 셀들을 포함하고 상기 플래쉬 메모리 셀들의 프로그램 여부를 검증하는 방법에 있어서,

소정의 프로그래밍 전압을 상기 플래쉬 메모리 셀들로 인가하는 제1 단계;

프로그램 검증 제어 신호들에 선택적으로 응답하여 프로그램 검증 전압을 발생하는 제2 단계;

상기 프로그램 검증 전압에 응답하여 상기 플래쉬 메모리 셀들의 프로그램 여부를 확인하는 제3 단계를 구비하고,

상기 제1 내지 제3 단계로 구성되는 프로그램 단위 루프 사이클을 상기 플래쉬 메모리 셀들이 프로그램 완료될 때까지 반복적으로 수행하되, 소정 횟수의 상기 프로그램 단위 루프 사이클 동안 상기 프로그램 검증 전압을 동일하게 하고, 상기 프로그램 검증 전압 레벨이 낮아지는 상기 프로그램 단위 루프 사이클마다 상기 플래쉬 메모리 셀 데이터를 저장하는 페이지 버퍼 내 래치를 리셋시키는 것을 특징으로 하는 플래쉬 메모리 장치의 프로그램 검증 방법.

【청구항 8】

제7항에 있어서, 상기 플래쉬 메모리 장치의 검증 방법은

초기에, 상기 프로그램 검증 전압으로 상기 플래쉬 메모리 셀들의 문턱 전압 보다 높은 전압을 인가하는 것을 특징으로 하는 플래쉬 메모리 장치의 프로그램 검증 방법.

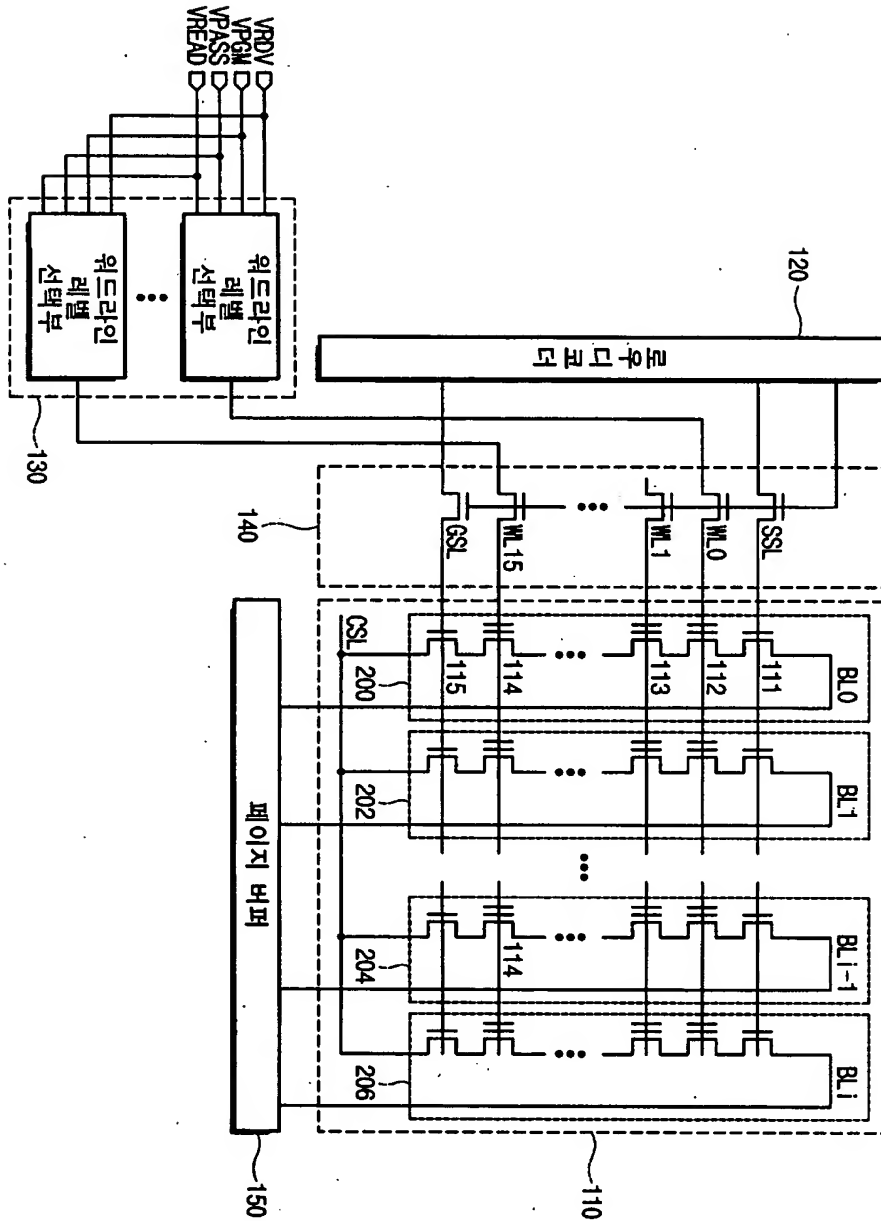
【청구항 9】

제7항에 있어서, 상기 플래쉬 메모리 장치의 검증 방법은

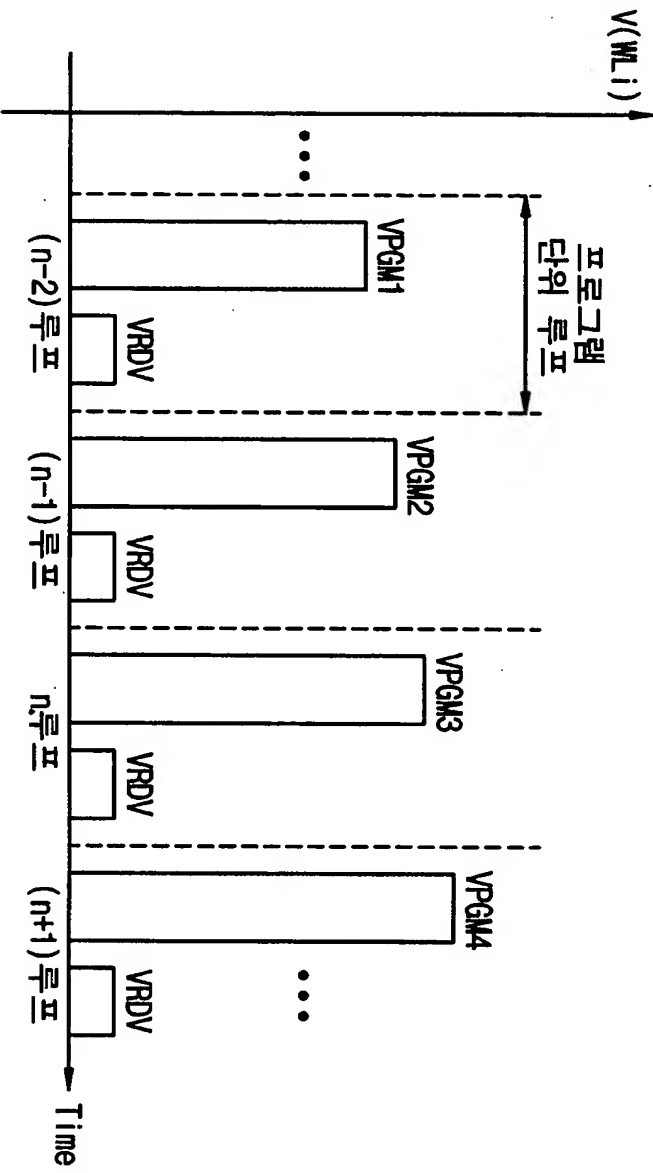
상기 프로그램 단위 루프 마다 상기 프로그래밍 전압을 증가시키는 것을 특징으로 하는 플래쉬 메모리 장치의 프로그램 검증 방법.

【도면】

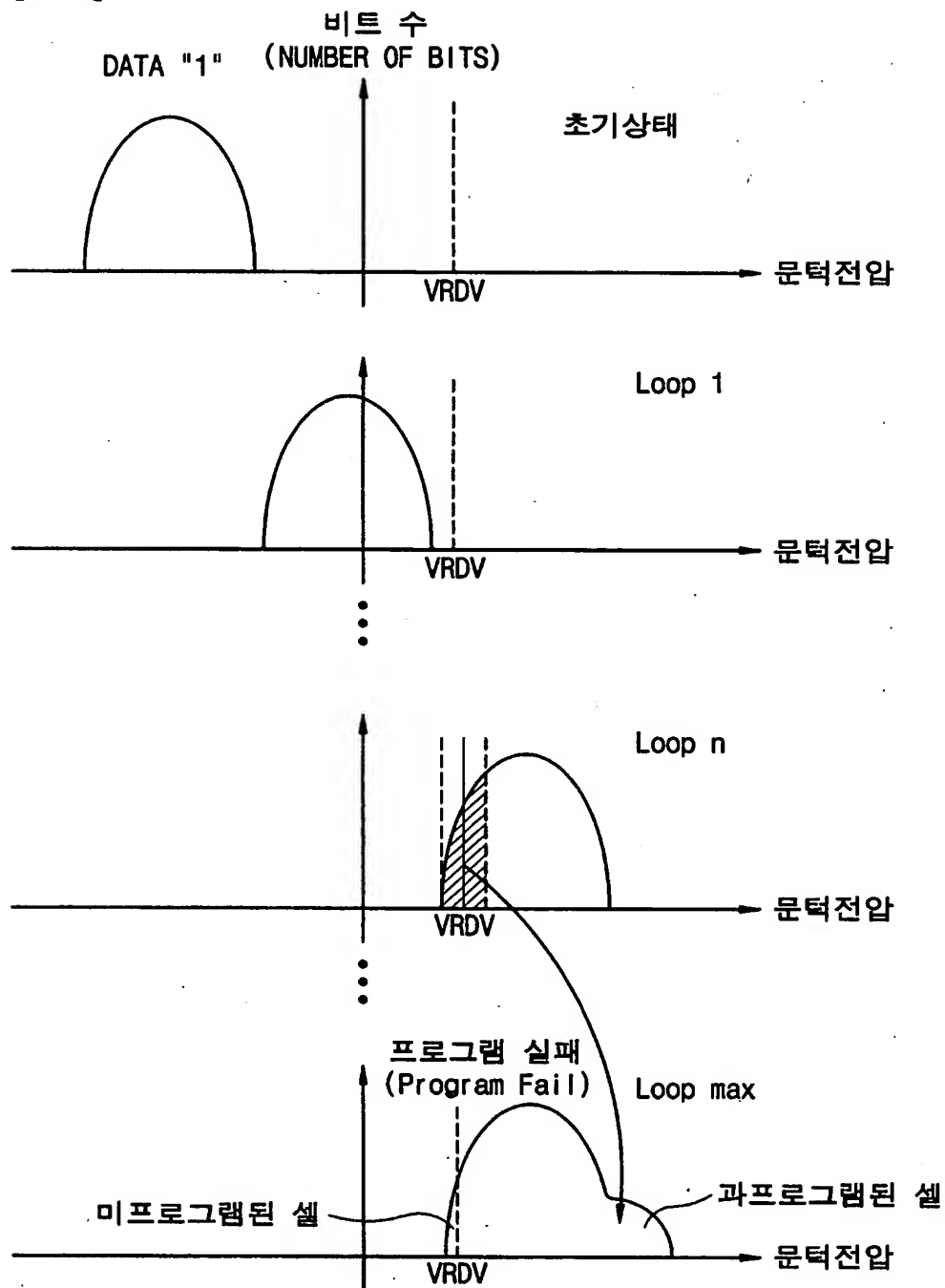
【도 1】



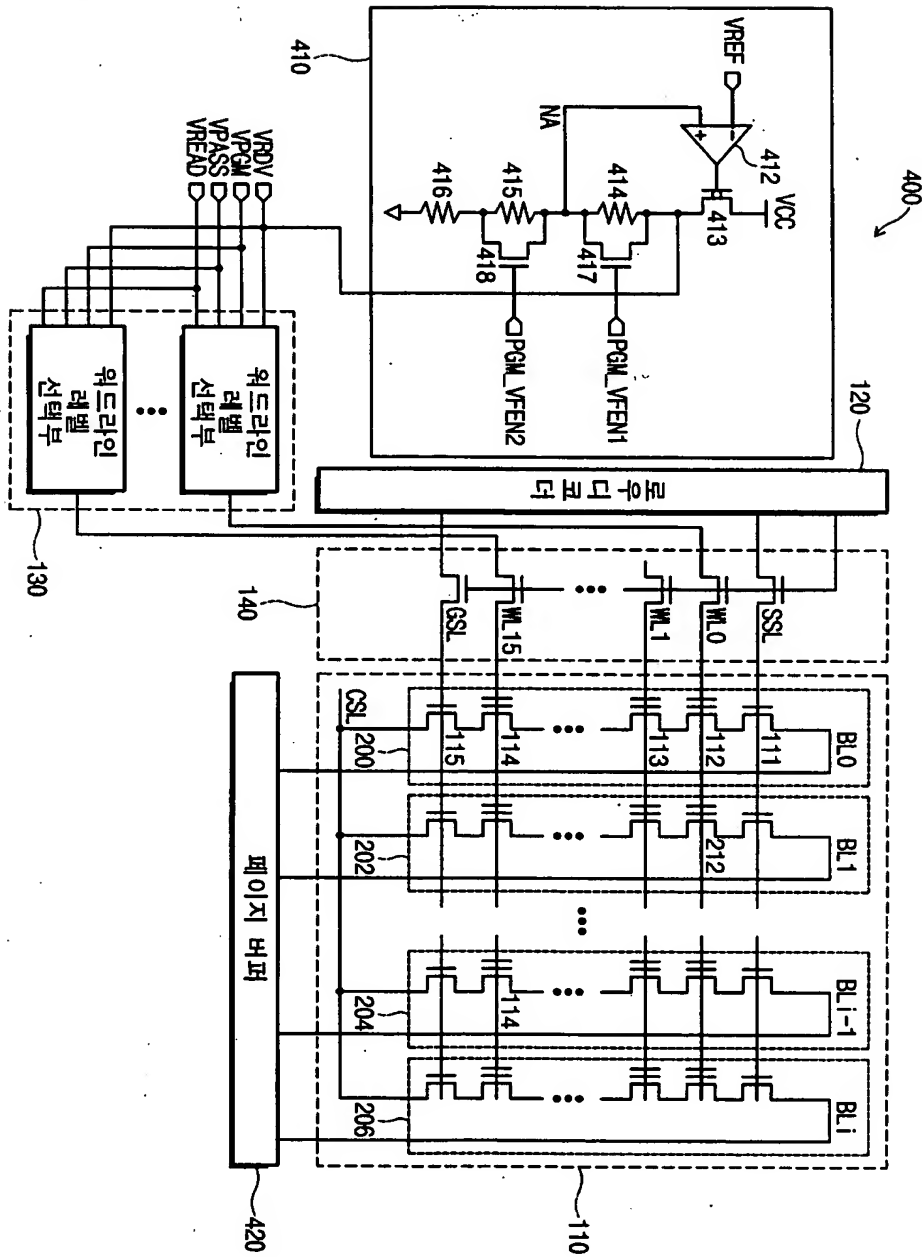
【도 2】



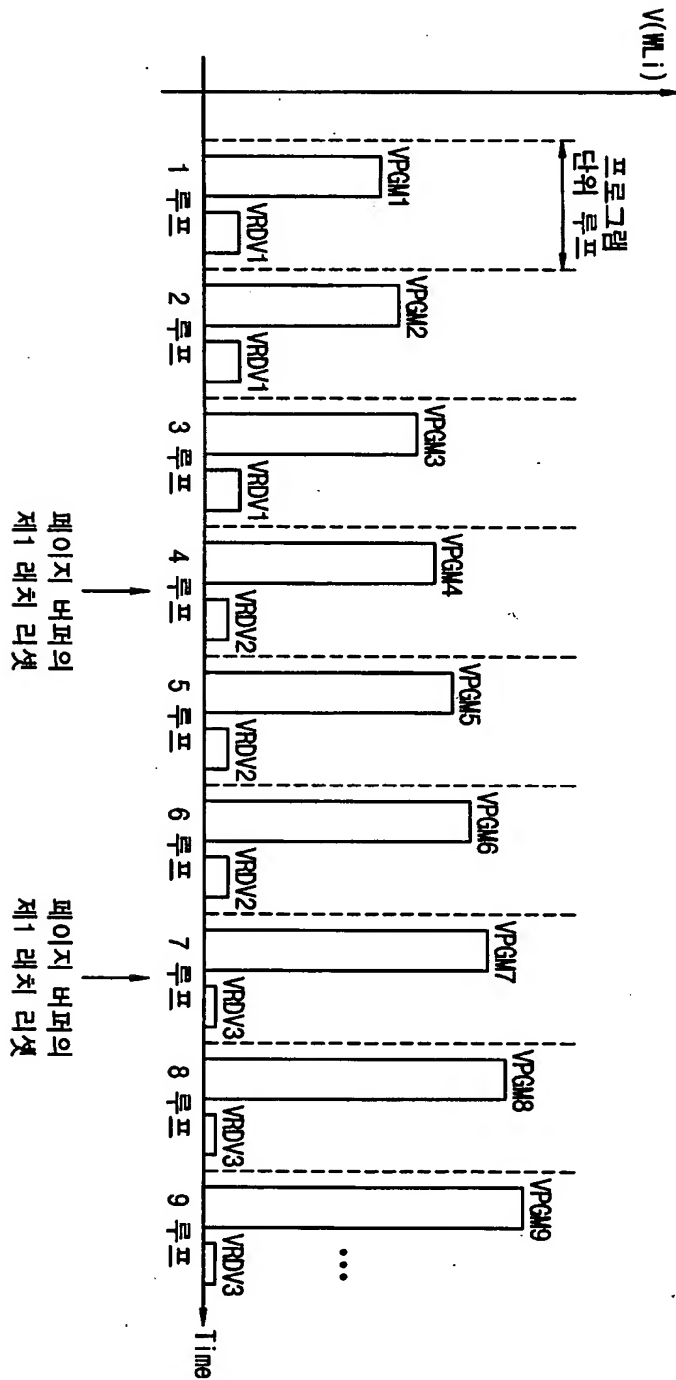
【도 3】



【도 4】

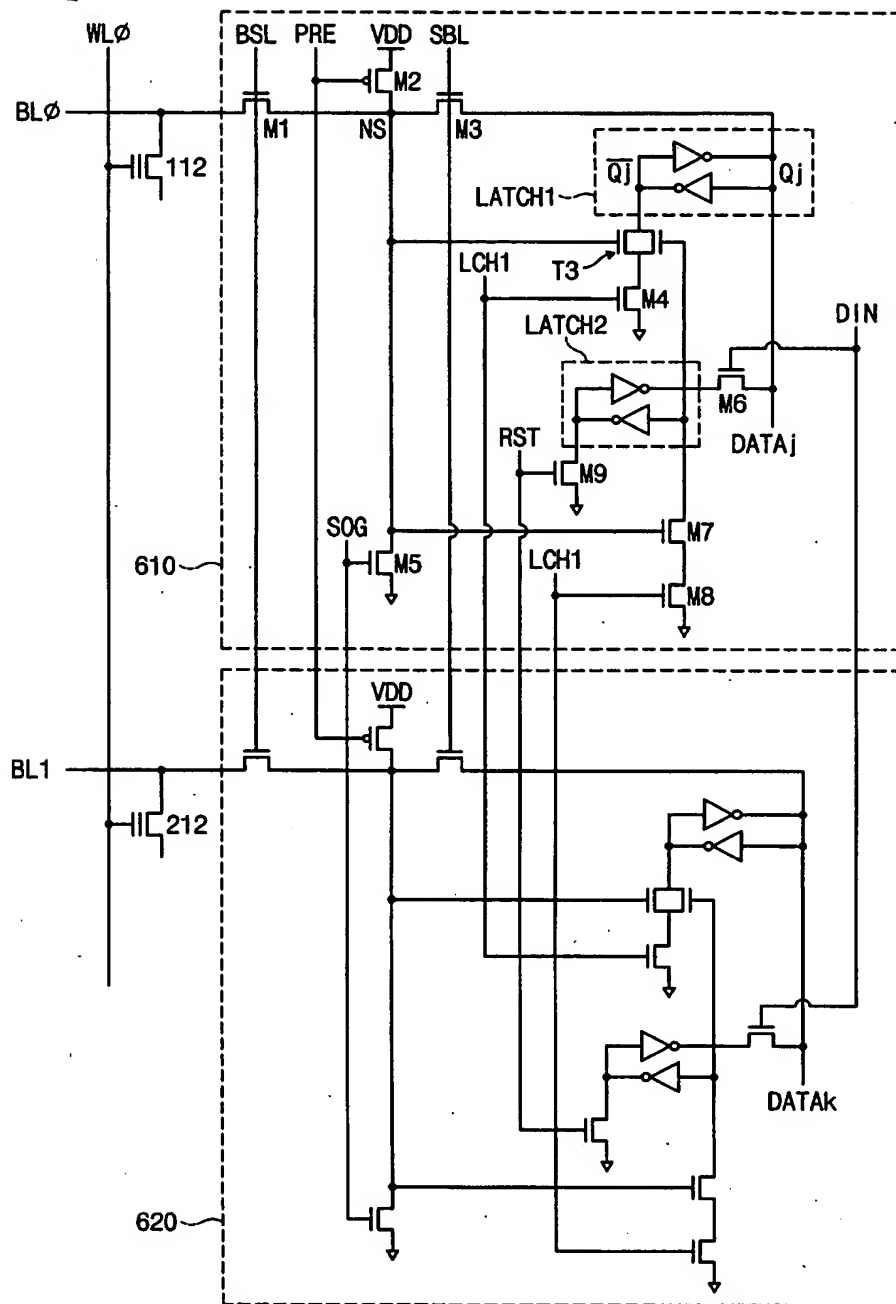


【도 5】



【도 6】

420



【도 7】

